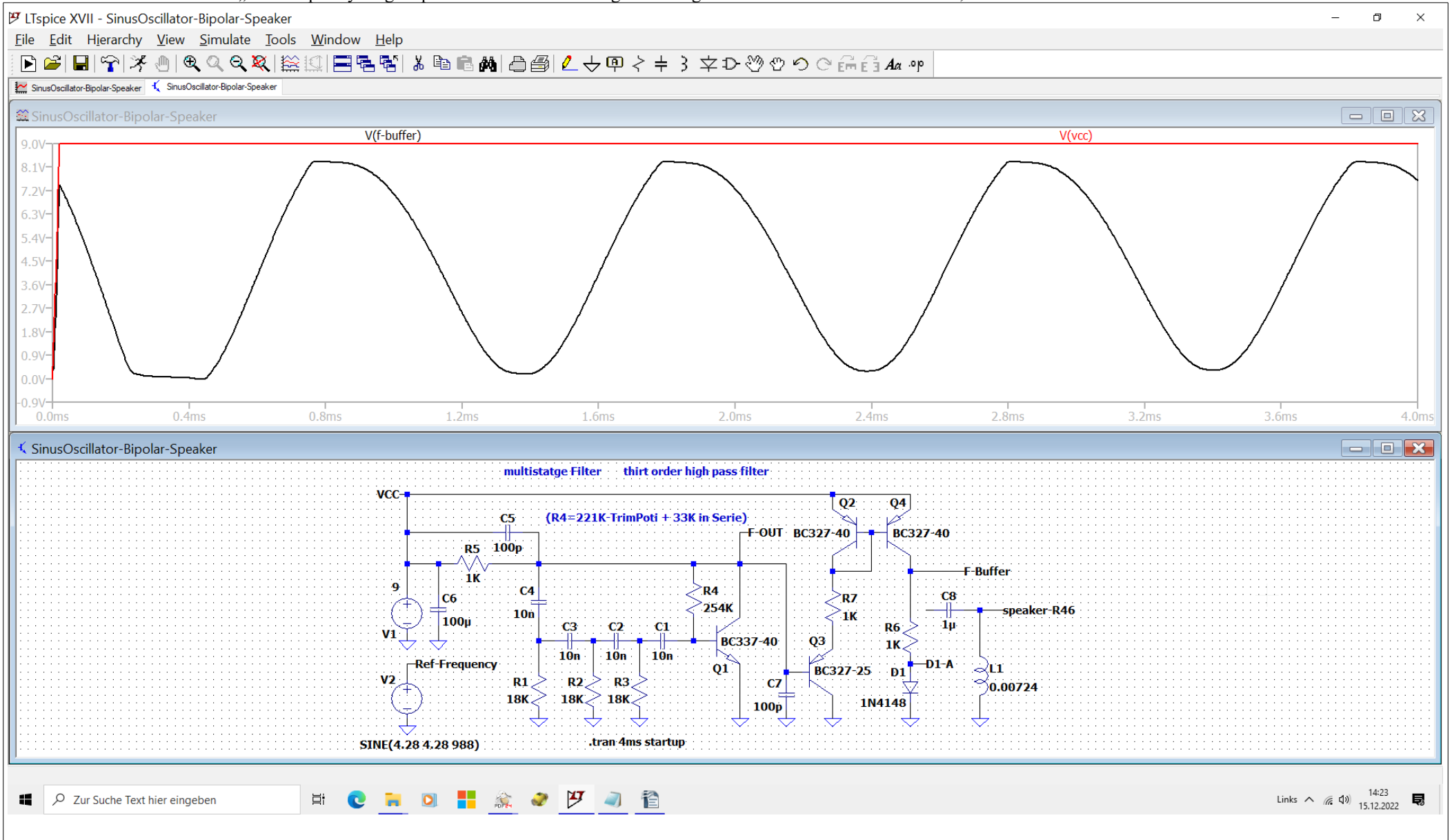
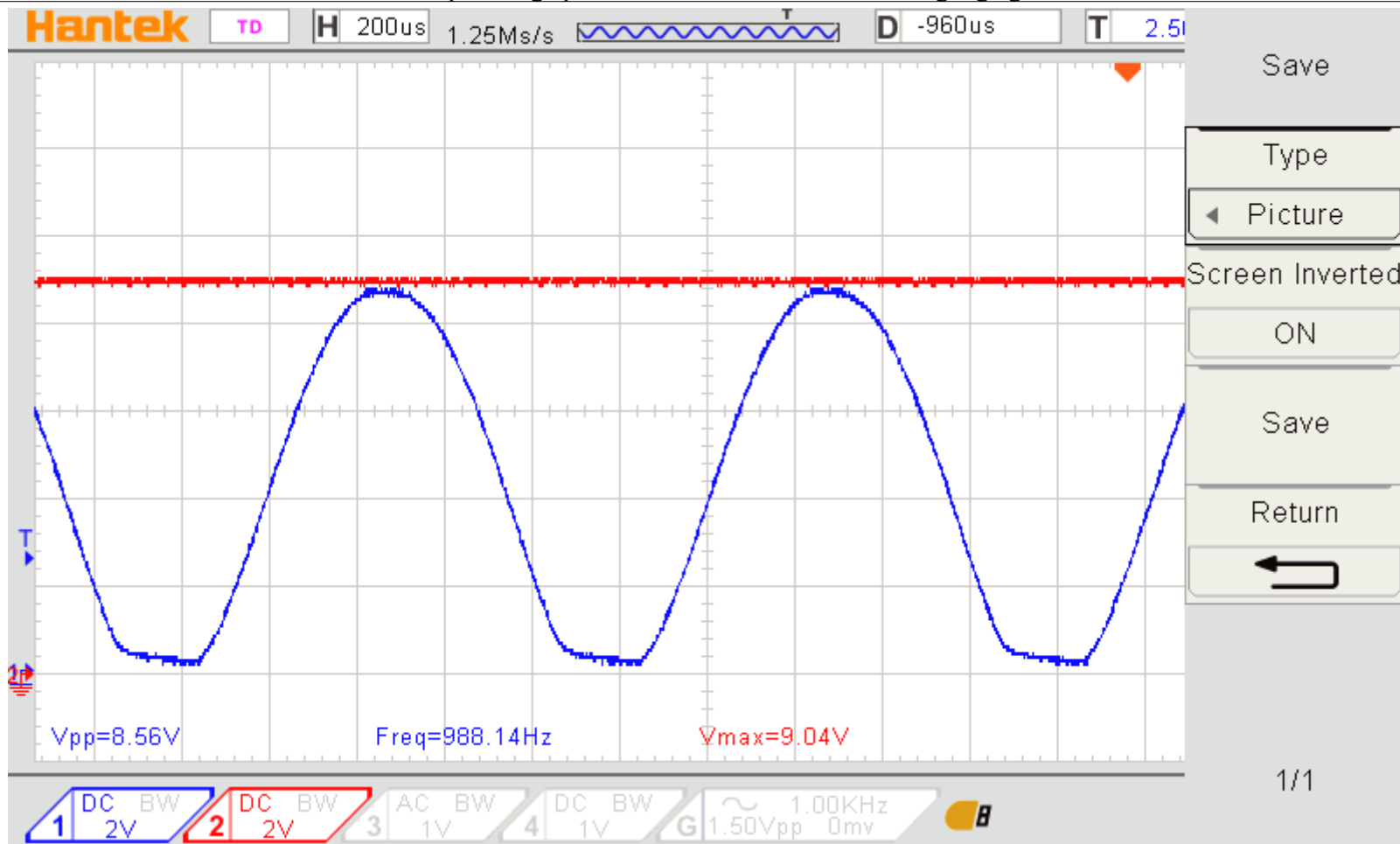


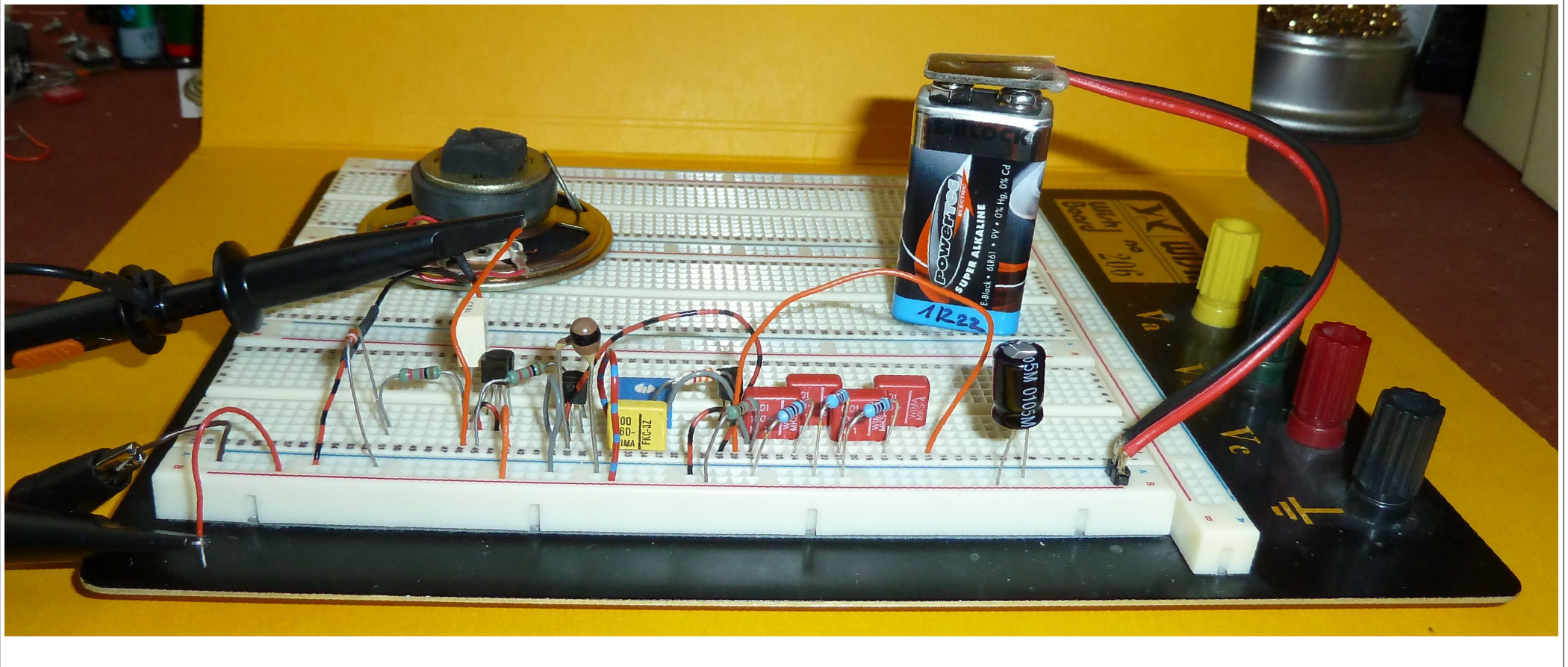
LTC Simulation: Die Werte der „Ref-Frequency“ Signalquelle wurden von dem Ergebnis der gemessenen Hardware übernommen, siehe Blatt-2/3



DC-2 entspricht der in der LTC-Simulation verwendeten Spannungsquelle „VCC“, DC-1 das des Ausgangsignals von „F-Buffer“



Der Hardware Aufbau:



Um einen erfolgreichen Aufbau mit akkurater Funktion & Messwerten der Schaltung zu erhalten, sollte der Breadboard-Aufbau auf einer qualitativ hochwertigen Steckplatine/Breadboard mit Steckkontakten aus Phosphor-Bronze/Hartbronze erfolgen.

Ich hatte anfangst ein Billig-breadboard Version „made in China“ verwendet & irrationale oder auch garkeine Messwerte erhalten.

Hinweis zu dem Schaltungsaufbau auf der Steckplatine:

um eine Schwingneigung der Schaltung zu vermeiden, sollte der Kollektor von Transistor „Q1“ direkt an dem Knotenpunkt von „R5 & C4“ kontaktiert werden

Widerstand „R4“ besteht aus einem in Serie geschalteten 500K-Trimmpoti & einem 33K-Widerstand,

bei dem Trimmpoti werden nur die zwei Pin's, der mittlere Pin/Schleifwiderstand & ein Ausgang oder des Eingangspins kontaktiert.

Q3-PNP Transistor arbeitet als Emitterfolger

Q2 & Q4 arbeiten als current-mirror/Stromspiegel. Der über R7 abfallende Strom erscheint an dem Ausgangswiderstand R6, die Ausgangsspannung ist gegenüber GND kurzschlussfest.

Um ein Spannungs-klipping an der unteren Ende der Sinusausgangsspannung zu vermeiden, wurde D1 eingefügt, das Ausgangsspannungspotential um 600 mV angehoben.

R4 kann durch einen Trimmwiderstand von 2k ersetzt werden, damit kann die Ausgangsamplitude von „maximal“ stufenlos bis hinunter auf etwa 600mV geregelt werden.